

SystemVerilogクロニクル

第3回　1980年代末，Verilog HDL vs. VHDL抗争勃発

明石貴昭

多くのEDAベンダがVerilog HDLをはじめとする動作記述言語やシミュレータを開発していた1980年代後半ごろ，論理合成ツールも開発されていました．筆者の知る限り，この時期に商用として正式出荷されたのは，米国Synopsys社の「DesignCompiler」と米国Silc社の「SilcSyn」だけだったと思います．少し遅れて，1990年ごろ米国Cadence Design Systems社が「Synergy」を，米国Mentor Graphics社が「Autologic」を出荷しました．

Design CompilerとSilcSynの大きな違いは入力言語でした．SilcSynは独自言語のSilcを，Design Compilerは米国Gateway Design Automation（GDA）社の使用許諾を得てVerilog HDLを入力言語としていました．その後，Synopsys社のDesign CompilerとGDA社のVerilog-XLは，新しいコンセプトやツールの完成度の高さを武器に伸びていき，現在の論理設計手法を現実のものとしていったのです．ただし，この時点におけるVerilog HDLのポジションはあくまでもGDA社の独自言語であり，ユーザはVerilog HDLを認めたというよりも，Design CompilerやVerilog-XLを使いたかったというのが現実でした[注1]．

● 対抗馬VHDLが登場

VHDL（Very High Speed Integrated Circuits Hardware Description Language）がIEEE Std. 1076としてリリースされたのは1987年のことです．VHDLは，米国国防総省がIC納入時の標準仕様書言語として作り出したもので，プロジェクトは1981～1983年に米国IBM社，米国Intermetrics社，米国Texas Instruments社に発注されました．

VHDLより若干早い時期に米国国防総省はAda（ANSI/ISO標準）でソフトウェアの納入を行うように定めていたこともあり，VHDLの構文などはAdaの影響を強く受けました．Intermetrics社に在籍したCary Ussery氏（現在，米国Improv Systems社CEO）は，後にCadence社のHDLシミュレータ「NC-Sim」のベース・アーキテクチャであるINCA（Interleaved Native Compiled -code Architecture）の初期開発に携わりました．VHDLを広めるためのツール・キットは米国Cad Language Systems社（CLSI）から発売され，各社のパーサ（字句・構文解析ソフトウェア）として使用されました．

● VHDL普及の危機感からIEEE標準へ

IEEE標準という“錦の御旗”を手に入れたVHDLがEDA業界で注目を浴び始めたころ，半導体業界ではVerilog HDLが事実上の業界標準言語の地位を築き上げていました．しかし，このころになると多くの人が，「今後はVHDLが標準になる．なぜならVerilog HDLはGDA社の独自言語だから…」と思っていました．

転機が訪れたのは1990年．Cadence社がGDA社を買収したのです．旧GDA社のメンバはVerilog HDLを自社の独自言語として残したかったようですが，Cadence社の経営陣はVHDLの普及に対する危機感から，Verilog HDLをパブリック・ドメインとすることを決断しました．そして同社は，Verilog HDLを推進する業界団体「Open Verilog International（OVI）」を立ち上げ，Verilog HDLを同団体にドネーション（寄贈）しました[注2]．

Cadence社はVerilog HDLを普及させるため，Verilog-XLの高速化エンジン（XLアルゴリズム）を除いたovisimというリファレンス・シミュレータをOVIに提供しています．勘のいい方はお気づきかもしれませんが，ovisimイコール初代Verilogシミュレータなのです．ovisimは，Verilog HDLに関連するツールやサービスを提供する企業に格安（1,000ドル強だったと思う）で提供され，Verilog HDLをサポートするツール群の開発がスタートしました．同時に同社は，Verilog-XLのパーサ部分を切り出し，OpenVerilogツール・キットとしCLSIに販売を委託しました．

こうしてだれもがVerilog HDLを自由に使えるようになりましたが，VHDLはIEEE標準，Verilog HDLはいまだ，ただのパブリック・ドメイン言語ということで，市場は揺れました．1993年に発表された米国Dataquest社の市場予測は，以降5年くらいの間にVHDLが大きく伸び，Verilog HDLは衰退するというものでした[注3]．

こうしたVHDLとの市場競合をきっかけに，Verilog HDLもIEEE標準化へ動き出しました．このプロセスに4年強を費やし，1995年にVerilog HDLは晴れてIEEE Std. 1364になったのです．

注1：余談だが，Synergyを出荷する1991年以前，Cadence社はSynopsys社からDesign CompilerをOEM調達し，Design Frameworkに統合して販売していた．

注2：このときCadence社は“Verilog”という登録商標を手放さなかったため，現在も商標権だけはCadence社が所有している．

注3：この予想は外れ，今日までともに利用されている．米国では国防総省に関係のあるプロジェクトがおもにVHDLを使用し，市場全体はほぼVerilog HDLを使用．欧州はほぼVHDL，日本は，比較的早期に言語設計に移行した半導体部門がVerilog HDL，導入が遅かったシステム部門がVHDLを選び，今日に至っている．

<著者プロフィール>

明石 貴昭．ケイデンス・デザイン・システムズ入社後，Verilog-XL，NC-Simシミュレータなどを担当．現在，日本シノプシスにて論理検証プラットホームDiscoveryやSystemVerilog関連のしごとに従事している．旧EIAJ（現JEITA）1364-1995プロジェクトに参加し，現在はJEITA/EDA技術専門委員会SystemVerilogタスクグループの副主査として，SystemVerilogの標準化に携わっている．